

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Jin Woo LEE

Jin Woo LEE

Serial No.: To Be Assigned

: Group Art Unit: To Be Assigned

Confirm. No.: To Be Assigned

: Examiner: To Be Assigned

Filed: August 3, 2001

For: WARM STANDBY DUPLEXING DEVICE AND METHOD FOR
OPERATING THE SAME

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents
Washington, D. C. 20231

Assistant Commissioner of Patents
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application(s):

Korean Patent Application No. 45259/2000, filed August 4, 2000.

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

David W. Ward

Daniel Y.J. Kim
Registration No. 36,186
David W. Ward
Registration No. 45,198

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440
Date: August 3, 2001

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

JC879 U.S. PTO
09/920825
08/03/01

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 :
Application Number

특허출원 2000년 제 45259 호
PATENT-2000-0045259

출원 년 월 일 :
Date of Application

2000년 08월 04일
AUG 04, 2000

출원 인 :
Applicant(s)

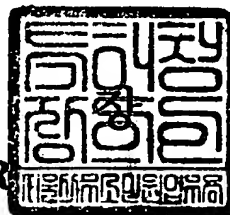
엘지정보통신주식회사
LG INFORMATION & COMMUNICATIONS LTD.



2001 07 04
년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.08.04
【발명의 명칭】	웜 스탠바이 이중화 장치의 구현방법
【발명의 영문명칭】	schematic method of warm standby duplicating device
【출원인】	
【명칭】	엘지정보통신 주식회사
【출원인코드】	1-1998-000286-1
【대리인】	
【성명】	강성구
【대리인코드】	9-1998-000051-7
【포괄위임등록번호】	1999-066674-6
【대리인】	
【성명】	이화익
【대리인코드】	9-1998-000417-9
【포괄위임등록번호】	1999-066675-3
【발명자】	
【성명의 국문표기】	이진우
【성명의 영문표기】	LEE, Jin Woo
【주민등록번호】	730812-1382121
【우편번호】	431-081
【주소】	경기도 안양시 동안구 호계1동 997-7 (3층 2호)
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 구 (인) 대리인 이화익 (인) 강성
【수수료】	
【기본출원료】	13 면 29,000 원
【가산출원료】	0 면 0 원

1020000045259

2001/7/

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 PPC 버스 시스템에서 워م 스탠바이(Warm Standby) 이중화 장치의 구현방법에 관한 것으로서, 이중화된 모듈 사이에 데이터 일관성을 유지시키는 디-채널(D-channel)부, 상기 이중화된 모듈 사이의 상태 및 제어정보 교환을 위해 사용하는 씨-채널(C-channel)부 및 상기 각 모듈 사이의 제어신호를 전송하는 이중화 버스를 구비하여 활성모듈(Active Module)이 C-channel을 통해 스탠바이 모듈의 모드 제어 레지스터를 세팅하여 D-channel의 방향을 결정한 후 스탠바이(standby) 모듈의 메모리를 접속하고, 정상동작 중의 상기 활성 모듈에 비정상적인 장애가 발생할 경우 스탠바이 모듈이 상기 활성 모듈로 전환하여, 동일한 주소로 상기 메모리 읽기 작업 수행시 자기 모듈의 메모리 내용만 읽히고, 쓰기 작업 수행시 자기 메모리 및 상대 모듈의 메모리에 동일한 데이터가 어드레스 버스와 데이터 버스를 통해 동시에 쓰여지도록 함으로써, PPC Bus를 사용하는 시스템에서 비정상적인 상황이 발생하더라도 그 모듈의 기본 기능이 중단되지 않도록 하는 효과를 갖는다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

웜 스탠바이 이중화 장치의 구현방법{ schematic method of warm standby duplicating device}

【도면의 간단한 설명】

도 1 은 본 발명에 따른 주 제어블럭의 웜스탠바이 이중화 로직 구성도,

도 2 는 본 발명이 적용되는 이중화 제어신호 흐름도.

* 도면의 주요부분에 대한 부호의 설명

110 : 활성 모듈 120 : 스탠바이 모듈

111, 121 : 통신처리부 112, 122 : 중앙처리부

113, 123 : 중재부 114, 124 : D-채널 제어부

115, 125 : 메모리 제어부 116, 126 : C-채널 제어부

117, 127 : 에스디램부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 메인프로세스를 이중화한 시스템의 구현방법에 관한 것으로, 특히 파워 PC(Power PC, 이하 PPC라 칭함) 버스(Bus)를 사용하는 시스템에서 비정상적인 상황이 발

생하더라도 그 모듈의 기본기능이 중단되지 않도록 한 워م 스탠바이(Warm Standby) 이중화 장치의 구현방법에 관한 것이다.

<10> 일반적으로 통신 시스템의 신뢰성을 유지하기 위해 이중화 구조, 즉 똑같은 두개의 모듈을 이용하여 하나는 실질적으로 동작하는 활성 모듈(Active Module), 다른 하나는 대기 상태에 있는 스탠바이 모듈(Standby Module)로서 동작하게 되는데, 상기 활성 모듈이 동작하고 있는 동안에 모듈 탈/실장 및 리셋(Reset) 동작에 의해 더 이상 연속적인 서비스를 제공하지 못하는 경우 모든 권한을 상기 스탠바이 모듈에 넘겨주어 활성 모듈에서 장애가 발생하더라도 연속적인 통신 서비스를 제공할 수 있게 된다.

<11> 한편 스탠바이 방법에는 워م 스탠바이(Warm Standby) 및 핫 스탠바이(Hot Standby) 방법이 있는데, 먼저 상기 워م 스탠바이 방법은 동시 기록(Concurrent Write) 방법으로서 상기 활성 모듈만이 프로그램을 운용하고, 스탠바이 모듈에서는 소프트웨어(Software)적인 작업이 전혀 없게 됨에 따라 이중화 관련 데이터만이 활성 모듈(Active Module)에 의해 지속적으로 갱신(Update)되며, 상기 활성 모듈(Active Module)에 비정상적인 상황이 발생하면 상기 스탠바이 모듈은 이를 감지하여 처음 전원이 인가되었을 경우와 같이 초기화 데이터를 롬(ROM)으로부터 읽어들이어서 초기화 작업을 수행하게 되는데, 이때 이중화 관련 데이터는 이미 상기 활성 모듈에 의해서 갱신되었기 때문에 추가적인 작업은 필요가 없다.

<12> 또한 상기 핫 스탠바이(Hot Standby) 방법은 이중화되어 있는 2개의 제어 모듈에 동일한 프로그램이 운용되지만, 상기 스탠바이 모듈은 송신 데이터가 하드웨어적으로 막히게 되므로 활성 모듈만이 유효 데이터를 전송하게 된다.

<13> 이와 같이 동일한 프로그램이 각 모듈에 운용되므로 비정상적인 상황이 발생하더라

도 시간 및 외형상의 변형없이 스탠바이 모듈이 바로 활성 모듈의 역할을 대신하게 되지만, 상기 워 스탠바이 방법은 스탠바이 모듈이 활성 모듈로 절체되는 소요 시간이 너무 길어서 지속적으로 이루어져야 하는 기본적인 기능들이 일시적으로 정지되는 현상이 발생하여 시스템 신뢰성에 문제점이 발생할 수 있으며, 또한 상기 핫 스탠바이 방법은 로드가 많을 경우나 인터럽트 등에 의하여 시스템이 정지할 경우 2개의 모듈이 모두 비정상적인 상태에 도달할 수 있으므로 위험성이 높은 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

- <14> 상기 문제점을 해결하기 위해 본 발명은, PPC 버스를 사용하는 시스템에서 비정상적인 상황이 발생하더라도 그 모듈의 기본기능이 중단되지 않도록 하는 워 스탠바이 이 중화 장치의 구현방법을 제공하는 것을 목적으로 한다.
- <15> 상기 목적을 달성하기 위해 본 발명은, 활성모듈(Active Module)이 C-channel을 통해 스탠바이 모듈의 모드 제어 레지스터를 세팅하여 D-channel의 방향을 결정한 후 스탠바이(standby) 모듈의 메모리를 접속하는 제 1 과정, 정상동작 중의 상기 활성 모듈에 비정상적인 장애가 발생할 경우 스탠바이 모듈이 상기 활성 모듈로 전환되는 제 2 과정 및 동일한 주소로 상기 메모리 읽기 작업 수행시 자기 모듈의 메모리 내용만 읽히고, 쓰기 작업 수행시 자기 메모리 및 상대 모듈의 메모리에 동일한 데이터가 어드레스 버스와 데이터 버스를 통해 동시에 쓰여지도록 하는 제 3 과정을 포함하는 것을 그 특징으로 한다.

【발명의 구성 및 작용】

- <16> 이하 첨부된 도면을 참조하여 본 발명을 상세히 설명하면 다음과 같다.
- <17> 도 1 은 본 발명에 따른 주 제어블럭의 이중화 로직 구성도로서, 크게 활성모듈(110)과 스탠바이 모듈(120)로 구분될 수 있다. 이러한 이중화 로직(Logic)은 다-채널부(D-Channel)와 씨-채널(C-Channel)부로 구성된다.
- <18> 상기 이중화 로직 구성은 이중화된 모듈(Module) 사이에 데이터 일관성(Consistency)을 유지하는데 사용하는 채널로서, 활성 모듈(Active Module)(110)이 스탠바이 모듈(Standby Module)(120)의 에스디램부(127)의 특정 영역을 64비트 병렬 데이터(parallel data)로 접근(Access)할 수 있는 이중화된 경로에 선입선출(First Input First Out, 이하 FIFO라 칭함)방식을 사용하는 다-채널 제어부(D-Channel Controller)(114, 124)와, 이중화된 모듈 사이의 상태 및 제어정보 교환에 사용되는 채널로서 8비트 병렬 데이터(parallel data)를 상대방 프로세서(Processor)와 주고받을 수 있는 씨-채널 제어부(C-Channel Controller)(116, 126로 이루어져 있다.
- <19> 이때 상기 씨-채널(C-Channel)과 관련된 신호(Signal)로는, C-Channel Tx(TRSF*), C-channel Tx Character Write(TWRCHR*), C-Channel Parallel Data Bus(TCD(0:7)), C-Channel Rx(RSF*), C-Channel Rx Character Write(RWRCHR*) 및 X-Channel Rx Parallel Data Bus(RCD(0:7)) 등이 있다.
- <20> 도 2 는 본 발명이 적용되는 이중화 제어신호 흐름도로서, 활성 모듈(Active Module)이 C-channel을 통해 스탠바이 모듈의 모드 제어 레지스터(Mode Control Register)를 세팅(setting)하여 D-channel의 방향을 결정한 후 스탠바이(standby) 모듈

의 메모리(Memory)를 접속(Access)하는 첫 번째 과정(S1), 정상동작 중의 상기 활성 모듈에 비정상적인 장애가 발생하였을 경우 스탠바이 모듈이 활성 상태모듈로 전환되는 두 번째 과정(S2) 및 동일한 주소로 메모리 읽기 작업 수행 시 자기 모듈의 메모리 내용만 읽히고, 쓰기 작업을 수행할 경우 자기 메모리 및 상대 모듈의 메모리에 동일한 데이터가 어드레스 버스와 데이터 버스를 통해 동시에 쓰는 세 번째 과정(S3)으로 이루어진다.

<21> 상기 각 과정에 따른 그 세부 동작을 살펴보면 다음과 같다.

<22> 먼저 상기 첫 번째 과정으로 D-channel 제어부(114, 124)는 PPC 버스(Bus)의 마스터(Master) 또는 슬레이브(Slave)로서 동작하면서 이중화 동작을 수행하는데 활성 모듈(Active Module)(110)은 씨-채널 제어부(116, 126)를 통해 스탠바이 모듈의 모드 레지스터를 세팅하여 D-채널 제어부(114, 124)의 전송방향을 결정하고, D-채널을 통해 자기측(Self Side)의 에스디램(SDRAM)부(117)와 타측(Other Side)의 에스디램(SDRAM)부(127)에 동시 기록(Concurrent Write)을 수행하며, 만약 모드가 연결되었을때, 주기적으로 모드 제어 레지스터에 읽기 혹은 기록을 하지 않으면 COURT신호가 발생하여 모드(Mode)가 절단(Disconnect)된다.

<23> 이때 상기 활성 영역(Active Side)이 스탠바이 영역(Standby Side)을 접속(Access)할 필요가 있으면(Concurrent Write시 또는 Standby Side의 Memory 영역 Read 시) DREQ*를 어서트(assert)하게 되며, 상기 스탠바이 영역은 상기 어서트 신호를 모니터(Monitor)하고 있다가 어서트될 때 BR* 신호를 발생시켜 중계부(Arbiter)에게 사용권을 요구하고 메모리 제어부(Memory Controller)에서는 동작완료 신호인 TA*나 TEA*가 발생하면 사용권을 반납한다.

<24> 다음 상기 두 번째 과정으로 활성모듈(110)의 D-channel 제어부(114)에서는

D-channel Buffer에 주소(Address), 데이터(Data), TT[0:4], TSIZ[0:2] 신호를 래치(Latch)한 후 스탠바이 측의 D-channel 제어부(120)에게 전송하고, 상기 스탠바이측에서 DTACK* 신호가 입력되면 기록동작(Write Operation)이 정상적으로 종료되며, BERR* 신호가 발생하거나 채널 타임 아웃(Channel Time Out)이 발생하여 DLTOUT 신호가 입력되면 DINT* 신호를 인가하여 인터럽트(Interrupt)를 발생시킨다.

- <25> 또한 상기 세 번째 과정으로 D-channel Read Operation에서는 D-channel 제어부(114)에서 동작(Operation)이 성공하면 DTACK* 신호를 인가하고, 실패하면 BERR* 신호를 인가한다.

【발명의 효과】

- <26> 상술한 바와 같이 본 발명은, 워 스탠바이 이중화 구성을 통해 파워 PC(PPC) 버스(Bus)를 사용하는 시스템에서의 이중화를 구현함으로써, 시스템의 비정상적인 상황이 발생하더라도 그 모듈의 기본 기능이 중단되지 않도록 하는 효과를 갖는다.

【특허청구범위】**【청구항 1】**

활성모듈(Active Module)이 C-channel을 통해 스탠바이 모듈의 모드 제어 레지스터를 세팅하여 D-channel의 방향을 결정한 후 스탠바이(standby) 모듈의 메모리를 접속하는 제 1 과정;

정상동작 중의 상기 활성 모듈에 비정상적인 장애가 발생할 경우 스탠바이 모듈이 상기 활성 모듈로 전환되는 제 2 과정; 및

동일한 주소로 상기 메모리 읽기 작업 수행시 자기 모듈의 메모리 내용만 읽고, 쓰기 작업 수행시 자기 메모리 및 상대 모듈의 메모리에 동일한 데이터가 어드레스 버스와 데이터 버스를 통해 동시에 쓰여지도록 하는 제 3 과정을 포함하는 것을 특징으로 하는 웹 스탠바이 이중화 장치의 구현방법.

【청구항 2】

제 1 항에 있어서, 상기 제 1 과정은

D-channel 제어부가 PPC 버스의 마스터 또는 슬레이브로 동작하면서 이중화 동작 수행시 활성 모듈은 자기측의 에스디램(SDRAM)과 타측의 에스디램(SDRAM)에 동시에 기록을 수행하는 제 1 단계;

상기 이중화 동작 수행시 비정상적인 상태가 발생할 경우 레지스터 정보를 버스트 모드로 스탠바이 모듈에 전송하고 C-channel을 통해 스탠바이 모듈의 모드 제어 레지스터를 세팅하여 D-channel의 전송방향을 결정하는 제 2 단계;

상기 모드가 연결되었을 때 주기적으로 모드 제어 레지스터를 읽기 혹은 기록하지 않으면 절단신호를 발생하여 모드를 절단하는 제 3 단계; 및

상기 활성 영역이 스탠바이 영역의 접속 시 DREQ*를 어서트하면 상기 스탠바이 영역은 어서트 신호를 모니터하고 있다가 어서트될 시 BR* 신호를 발생시켜 중계부에게 사용권을 요구하고 메모리 제어부에서 동작완료 신호인 TA*나 TEA*가 발생하면 사용권을 반납하는 제 4 단계로 이루어진 것을 특징으로 하는 워 스탠바이 이중화 장치의 구현방법.

【청구항 3】

제 1 항에 있어서, 상기 제 2 과정은

상기 D-channel에서 버퍼에 주소(Address), 데이터(Data), TT[0:4], TSIZ[0:2] 신호를 래치(Latch)한 후 스탠바이 측의 D-channel 제어부에게 전송하는 제 1 단계;

상기 스탠바이측에서 DTACK* 신호가 입력되면 기록동작을 정상적으로 종료하는 제 2 단계; 및

상기 스탠바이 측에서 BERR* 신호가 발생하거나 채널 타임 아웃이 발생하여 DLTOUT 신호가 입력되면 DINT* 신호를 인가하여 인터럽트를 발생시키는 제 3 단계로 이루어진 것을 특징으로 하는 워 스탠바이 이중화 장치의 구현방법.

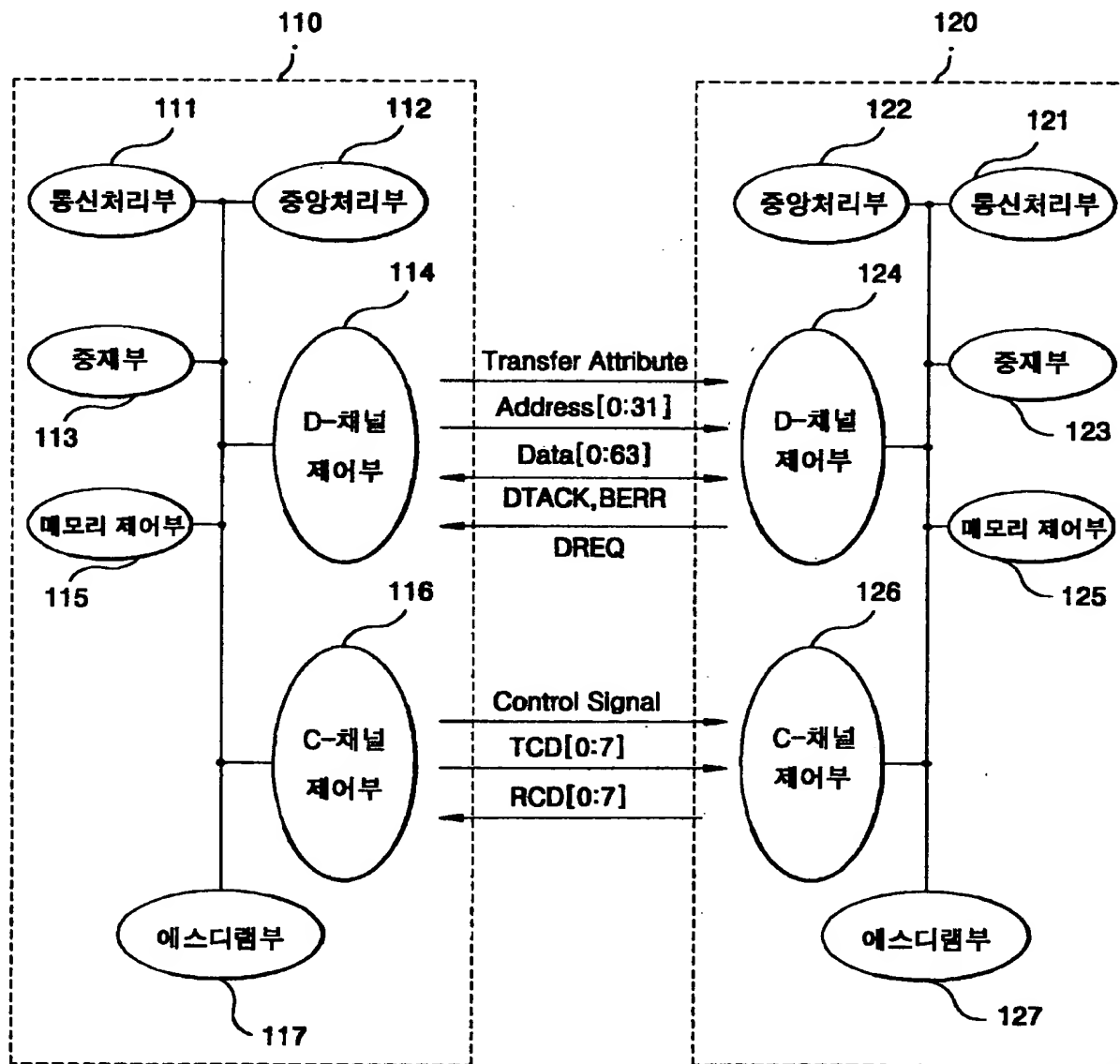
【청구항 4】

제 1 항에 있어서, 상기 제 3 과정은

D-channel에서 동작이 성공하면 DTACK* 신호를 인가하고, 실패하면 BERR* 신호를 인가하는 것을 특징으로 하는 워 스탠바이 이중화 장치의 구현방법.

【도면】

【도 1】



【도 2】

